

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-132147

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

G09G 3/36

G02F 1/133

G09G 3/20

(21)Application number : 10-319889

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 23.10.1998

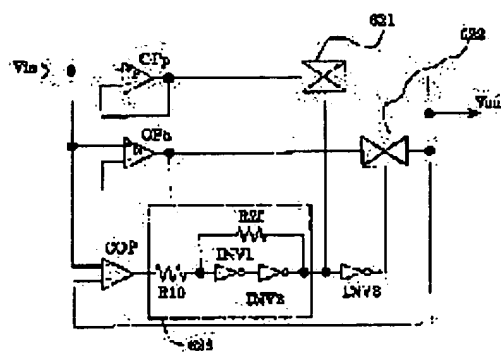
(72)Inventor : MIZUTORI HIKARI

(54) STABILIZING CIRCUIT AND POWER SUPPLY CIRCUIT USING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To stabilize a power supply voltage for driving a display device and to make reducible a noise in a driving signal, by switching between an output of an N-type voltage follower and an output of a P-type voltage follower on the basis of a comparison signal, and by outputting the switched output.

SOLUTION: A hysteresis circuit 623 comprises an input resistor R10, two inverters INV1 and INV2 connected in series, and a resistor R20 connecting an input and an output of the two connected inverters INV1 and INV2. The hysteresis circuit 623 outputs a selection signal having a hysteresis characteristic with respect to a change in a difference between two voltages inputted in a comparator COP. The selection signal turns on one of analog switches 621 and 622, while turning off the other. Accordingly, this selection circuit selectively switches between an output of a P-type voltage follower OPp and an output of an N-type voltage follower OPn, and supplies the switched output to an output terminal of a power supply circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-132147

(P2000-132147A)

(43) 公開日 平成12年5月12日 (2000.5.12)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 2 0	G 0 2 F 1/133	5 2 0 5 C 0 0 6
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 A 5 C 0 8 0

審査請求 未請求 請求項の数 5 F D (全 7 頁)

(21) 出願番号 特願平10-319889

(22) 出願日 平成10年10月23日 (1998. 10. 23)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 水取 光

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

Fターム(参考) 2H093 NC01 NC02 NC58 NC59

5C006 BB12 BC03 BC12 BF14 BF25

BF27 BF32 BF43 BF45 BF46

BF49 FA31 FA47

5C080 AA05 AA06 AA08 AA10 BB05

DD12 DD26 FF03 FF09 JJ02

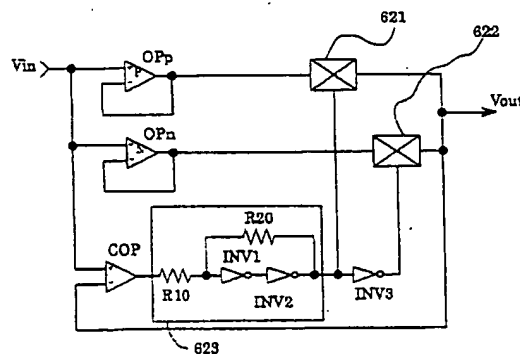
JJ03 JJ04

(54) 【発明の名称】 安定化回路およびその安定化回路を用いた電源回路

(57) 【要約】

【課題】 電源電圧に重畳するノイズを除去して安定した電圧を低消費電力で生成する。

【解決手段】 安定化回路は、N型ボルテージホロワーと、P型ボルテージホロワーとを分圧回路の分圧出力点に対して並列的に接続する。出力電圧を上昇させるノイズが重畳した場合には、入力電圧と出力電圧とを比較してN型ボルテージホロワーを選択してその電圧上昇を抑制し、出力電圧に電圧を低下させるノイズが重畳した場合には、P型ボルテージホロワーを選択してその電圧低下を抑制して電圧の安定化が行われる。



【特許請求の範囲】

【請求項1】出力段にNチャネル電界効果トランジスタを用い、供給された入力電圧をインピーダンス変換して、出力するN型ボルテージホロワーと、出力段にPチャネル電界効果トランジスタを用い、前記入力電圧をインピーダンス変換して出力するP型ボルテージホロワーと、入力電圧と出力電圧とを比較して比較信号を出力する比較回路と、前記比較回路の比較信号により、前記N型ボルテージホロワーと前記P型ボルテージホロワーの出力を選択的に切り替えて出力する選択回路とを備えることを特徴とする安定化回路。

【請求項2】前記比較回路は、前記入力電圧と出力電圧との差に対して比較信号がヒステリシス特性を有することを特徴とする請求項1に記載の安定化回路。

【請求項3】前記比較回路は、前記入力電圧と出力電圧とを比較するコンパレータと、このコンパレータの出力が入力されるヒステリシス回路とを備えていることを特徴とする請求項1又は2に記載の安定化回路。

【請求項4】請求項1乃至3のいずれか1項に記載の安定化回路と、

供給される電圧を異なる値の複数の分割電圧に分割する分圧回路と、

から構成され、

前記安定化回路はその入力端が前記分圧回路の少なくとも1つの分割電圧の出力端に接続され、前記分割電圧が入力電圧として供給される、

ことを特徴とする電源回路。

【請求項5】前記安定化回路は、表示素子を駆動する駆動回路に、前記表示素子に印加する駆動信号を形成するための異なる電圧値を有する複数の電圧を供給する、ことを特徴とする請求項4に記載の電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、供給される電圧を安定化して出力する安定化回路及び安定化回路を備える電源回路に係り、特に、電圧を安定化して表示駆動回路に出力する安定化回路及び安定化回路を備える電源回路に関する。

【0002】

【従来の技術】ドットマトリックス表示装置は、互いに交差するように配置された走査電極と信号電極間に走査信号とデータ信号とをそれぞれ供給し、対向する電極間に所定の電圧を印加することにより駆動される。走査信号とデータ信号は、それぞれ行ドライバと列ドライバにより形成され、これらの各ドライバには、それぞれの信号を形成するための異なる電圧値を持った複数の電源電圧が電源回路により供給されている。

【0003】このようなドットマトリックス表示装置の一例として、ドットマトリックス型の液晶表示装置を図5に示す。

【0004】図5において、液晶表示素子LCは、対向する一対の基板間に液晶層が封入され、前記一対の基板の対向する内面それぞれには、互いに交差するように複数の走査電極1と複数の信号電極2が形成されており、これらの電極に印加される信号により、前記走査電極1と信号電極2間に介在する液晶層に電界が印加され、この電界によって液晶の配向状態を制御することにより各画素が表示駆動される。

【0005】液晶表示素子LCの複数の走査電極1と複数の信号電極2は、それぞれ行ドライバ3と列ドライバ4に接続されている。行ドライバ3は表示制御回路5から供給される走査制御信号Ccに応じて、液晶表示素子LCの各走査電極1を走査する走査信号COMを形成して、各走査電極1に供給する。

【0006】列ドライバ4は表示制御回路5から供給される表示信号Sdに応じて液晶表示素子LCの各画素の点灯を制御するデータ信号SEGを形成して、各信号電極2に供給する。

【0007】表示制御回路5は、外部から供給される表示データDを受け、表示信号Sdを生成して列ドライバ4に供給し、また走査制御信号Ccを生成して行ドライバ3に供給する。

【0008】行ドライバ3および列ドライバ4に複数の電源電圧を供給する電源回路6は、電池等の電圧を昇圧する昇圧回路と、この昇圧回路により昇圧された電圧から走査信号COMおよびデータ信号SEGを生成するための異なる電圧値を有する複数の電源電圧を発生させる分圧回路とから構成されている。分圧回路は、図6に示すように、電源電圧V_{LCD}を分圧抵抗R₁～R₄により分圧し、各分圧抵抗R₁～R₄の接続点からボルテージフォロワーOP₁～OP₃を介してインピーダンス変換し、駆動電圧V₀～V₄として出力する。

【0009】ボルテージフォロワーOP₁～OP₃は、オペアンプからなり、各駆動電圧の出力に接続される負荷の変動による出力電圧の変動を防止して、安定した電圧の駆動電圧を供給するように構成されている。

【0010】

【発明が解決しようとする課題】ドットマトリックス型の表示素子は、走査電極1と信号電極2とが互に対向する領域で各画素が構成されており、これらの走査電極1と信号電極2とは互に対向する面積を持つため電気的に容量結合されている。

【0011】そのため、走査電極1に印加された走査信号COMがデータ信号SEGに、また信号電極2に印加されたデータ信号SEGが走査信号COMにノイズとして乗ってしまう。

【0012】特に、図5で示すように、液晶表示素子LCを用いる場合、走査電極1と信号電極2とが対向する領域には、誘電率の大きな液晶層が介在しているため、

これらの走査電極1と信号電極2間が大きな容量CLCで

結合されている。そのため、図7に示すように信号電極2に印加されるデータ信号SEGの電圧の変化が走査信号COMにスパイクノイズ P_{n-} 、 P_{n+} として重畳し、また走査電極1に印加される走査信号COMの電圧の変化がデータ信号SEGにスパイクノイズ P_{n+} として重畳する。

【0013】これらのスパイクノイズ P_{n-} 、 P_{n+} は、電源のインピーダンスを小さくすることにより低減することができ、図6に示すようなボルテージフォロワーOP1～OP3を設けることにより、ノイズの低減が行われている。

【0014】しかしながら、ボルテージフォロワーを構成するオペアンプは、出力段にP型半導体トランジスタを用いたP型駆動のオペアンプと、出力段にN型半導体トランジスタを用いたN型駆動のオペアンプとがあり、それぞれ出力電圧に対して上昇する電圧変動と、低下する電圧変動に対する応答特性が異なっている。

【0015】そのため、液晶表示素子の駆動信号のように、液晶層に所定の期間（1フレーム）毎に、互いに逆極性の電圧を印加するための走査信号COMとデータ信号SEGとをそれぞれの電極に供給して駆動する場合、それぞれの信号について、一方極性のノイズを低減することはできるが、他方極性のノイズを無くすることができない。その結果、前述したノイズにより、表示のちらつきが発生し、表示品質を低下させるという問題があった。

【0016】本発明は、上記実状に鑑みてなされたもので、表示素子を駆動するための電源電圧を安定化し、駆動信号に重畳するノイズを低減させるようにした安定化回路、およびこの安定化回路を用いた電源回路を提供することを目的とする。

【0017】

【課題を解決するための手段】上記目的を達成するため、この発明の第1の観点に係る安定化回路は、出力段にNチャネル電界効果トランジスタを用い、供給された入力電圧をインピーダンス変換して出力するN型ボルテージホロワーと、出力段にPチャネル電界効果トランジスタを用い、前記入力電圧をインピーダンス変換して出力するP型ボルテージホロワーと、入力電圧と出力電圧とを比較して比較信号を出力する比較回路と、前記比較回路の比較信号により、前記N型ボルテージホロワーと前記P型ボルテージホロワーの出力を選択的に切り替えて出力する選択回路とを備えることを特徴とする。

【0018】この構成によれば、N型ボルテージホロワーとP型ボルテージホロワーとを、出力電圧の変動に応じて切り換えて動作させるようにしたので、電源電圧に重畳されるノイズを確実に低減することができる。

【0019】この安定化回路において、前記比較回路は、前記入力電圧と出力電圧の差に対して比較信号がヒステリシス特性を有することが望ましい。

【0020】また、前記比較回路は、前記入力電圧と出力電圧とを比較するコンパレータと、このコンパレータの出力が入力されるヒステリシス回路とから構成されることが望ましい。

【0021】この構成によりN型ボルテージホロワーとP型ボルテージホロワーの動作を安定化することができる。

【0022】また、この発明の第2の観点に係る電源回路は、この発明の第1の観点に係る安定化回路と、供給される電圧を異なる値の複数の分割電圧に分割する分圧回路と、から構成され、前記安定化回路はその入力端が前記分圧回路の少なくとも1つの分割電圧の出力端に接続され、前記分割電圧が入力電圧として供給される、ことを特徴とする。

【0023】なお、前記安定化回路は、表示素子を駆動する駆動回路に、前記表示素子に印加する駆動信号を形成するための異なる電圧値を有する複数の電圧を供給してもよい。

【0024】上記構成によれば、表示素子の駆動回路のように複数の電圧値を必要とする行ドライバおよび列ドライバの電源を安定化してノイズを低減することができる。また、大きな容量結合を有する表示素子の駆動回路に駆動電圧を供給する電源回路として用いることにより、有効にノイズを低減することができる。

【0025】

【発明の実施の形態】以下、本発明の実施の形態に係る電源回路を4つの駆動電圧により駆動する液晶表示素子に適用した場合を例として図面を参照して説明する。

【0026】本発明の実施の形態に係る液晶表示装置は、前述した図5と同様に、液晶表示素子LCと、行ドライバ3と、列ドライバ4と、表示制御回路5と、および電源回路6とから構成される。

【0027】液晶表示素子LCは、対向して配置された第1の基板と第2の基板と、第1の基板に行方向に配置された複数の走査電極1と、第2の基板に列方向に配置された複数の信号電極2と、両基板間に封止された液晶とを備え、複数の走査電極1と複数の信号電極2とが互いに交差する点が各画素を形成している。

【0028】行ドライバ3は、液晶表示素子LCの走査電極1に接続され、電源回路6から供給される複数の電源電圧の中から、表示制御回路5より供給される走査制御信号Ccに従って選択することにより生成された走査信号COMを、走査電極1に順次印加する。

【0029】列ドライバ4は、液晶表示素子LCの信号電極2に接続され、表示制御回路5から供給される表示信号Sdに応じて、電源回路6から供給される複数の電源電圧からデータ信号SEGを生成し、走査信号COMの走査タイミングに合わせて信号電極2に印加する。

【0030】表示制御回路5は、外部から供給される表示データDを受け、表示信号Sdを列ドライバ4に供給

すると共に、行ドライバ3に走査信号COMを出力するための走査制御信号Ccを供給し、これらの行ドライバ3及び列ドライバ4の動作を制御する。

【0031】電源回路6は、図1に示すように、電池等の低い電圧を、表示素子を駆動するのに十分な電圧まで昇圧する昇圧回路61と、この昇圧された高い電圧を複数の電圧に分割するために直列接続された複数の分圧抵抗R1、R2、R3、R4と、分圧抵抗R1とR2、R2とR3、R3とR4との各接続点にそれぞれ接続された安定化回路62とから構成され、分圧抵抗R1～R4により分圧された電圧を安定化回路62により安定化して出力する。

【0032】安定化回路62は、図2に示すように、出力段にPチャネル電界効果トランジスタを用い、入力端に供給された入力電圧Vinをインピーダンス変換して出力するP型ボルテージホロワーOPpと、このP型ボルテージホロワーOPpの出力端と直列に接続されたアナログスイッチ621と、出力段にNチャネル電界効果トランジスタを用い、入力電圧Vinをインピーダンス変換して出力するN型ボルテージホロワーOPnと、このN型ボルテージホロワーOPnの出力端に直列接続されたアナログスイッチ622と、入力電圧Vinと電源回路6の出力電圧Voutとを比較してヒステリシス特性を持った比較信号を出力する比較回路と、比較回路からの比較信号を反転させた選択信号をアナログスイッチ622に供給するためのインバータINV3からなっている。

【0033】P型ボルテージホロワーOPpとアナログスイッチ621の直列接続回路と、N型ボルテージホロワーOPnとアナログスイッチ622の直列接続回路とは、安定化回路62の入力端と出力端との間に並列的に接続されている。

【0034】比較回路は、安定化回路62の入力端にプラス入力端が接続され、電源回路6の出力端にマイナス入力端が接続されたコンパレータCOPと、このコンパレータCOPの出力が接続されたヒステリシス回路623とからなっている。

【0035】ヒステリシス回路623は、入力抵抗R10と、直列接続された2つのインバータINV1、INV2と、この直列接続された2つのインバータINV1、INV2の入出力間に接続された抵抗R20とからなっており、コンパレータCOPに入力された2つの電圧の差の変化に対してヒステリシス特性を持った選択信号を出力する。

【0036】選択回路は、ヒステリシス回路623からの選択信号が印加され、P型ボルテージホロワーOPpに接続された第1のアナログスイッチ621と、ヒステリシス回路623の出力がインバータINV3介して印加され、N型ボルテージホロワーOPnに接続された第2のアナログスイッチ622とにより構成される。ヒステリシス回路623から与えられる選択信号により、第

1のアナログスイッチ621と第2のアナログスイッチ622のうち、いずれか一方のアナログ回路がオンし、他方のアナログ回路がオフする。

【0037】したがって、この選択回路は、比較回路からヒステリシス回路623を介して出力される選択信号に応じて、P型ボルテージホロワーOPpの出力と、N型ボルテージホロワーOPnの出力とを選択的に切り替えて電源回路6の出力端に供給する。

【0038】P型ボルテージホロワーOPpは、図3に示すように、2つのP型トランジスタTp2、Tp3と、2つのN型トランジスタTn4、Tn5とが接地電位V_{GND}と電源電位V_{DD}間に接続されたN型駆動のオペアンプと、P型の出力トランジスタTp1とから構成されており、接地電位V_{GND}の方向（電圧低下）に変動する電圧を電源電位V_{DD}へ補正する応答性に優れている。

【0039】N型ボルテージホロワーOPnは、図4に示すように、2つのN型トランジスタTn2、Tn3と、2つのP型トランジスタTn4、Tn5とが接地電位V_{GND}と電源電位V_{DD}間に接続されたP型駆動のオペアンプと、N型の出力トランジスタTn1とから構成されており、電源電位V_{DD}の方向（電圧上昇）に変動する電圧を接地電位V_{GND}へ補正する応答性にすぐれている。

【0040】次に、このように構成された電源回路6の動作を説明する。液晶表示装置は図5に示したドットマトリックス型の液晶表示装置と同様に構成されており、表示制御回路5は外部から供給された表示データDを受け、表示信号Sdと走査制御信号Ccを生成してそれぞれの信号を列ドライバ4と行ドライバ3に供給する。

【0041】列ドライバ4は、表示信号Sdに応じて、電源回路6から供給される複数の電源電圧を選択してデータ信号SEGを生成し、液晶表示素子LCの各信号電極2に供給する。行ドライバ3は、表示制御回路5からの走査制御信号Ccを受け、電源回路6から供給される複数の電源電圧を予め定めた順序で選択し、各走査電極1を順次選択するための走査信号COMを生成し、各走査電極1に印加する。

【0042】走査電極1と信号電極2とが交差する各画素は、行ドライバ3から走査電極1に印加された走査信号COMと列ドライバ4から信号電極2に印加されるデータ信号SEGとに応じて、マトリックス駆動される。

【0043】電源回路6は、図1に示すように、昇圧回路61により所定の電圧V_{LCX}に昇圧された後、分圧抵抗R1、R2、R3、R4により分割され、接地電圧V₀を含めて電圧V1、V2、V3、V4の5つの分割電圧を出力端T0～T4から出力する。分割電圧V1、V2、V3の出力端T1、T2、T3には安定化回路62がそれぞれ設けられている。

【0044】マトリックス駆動により、信号電極2に印加された信号の電圧変化が、液晶層を挟んで形成される

各画素の液晶容量C_{LC}を介して走査電極1に印加され、また走査電極1に印加された信号の変化が、液晶層を挟んで形成される各画素の液晶容量C_{LC}を介して信号電極2に印加され、列ドライバ4および行ドライバ3を介して電源回路6の各出力端の電圧を変動させる。

【0045】電源回路6の各出力端T0～T4の内、出力端T4の電圧V₄は、昇圧回路61の出力電圧であるためこの昇圧回路61により電圧安定化が行われており、電圧変動が抑えられる。出力端T1、T2、T3には、安定化回路62が設けられており、この安定化回路62により液晶容量C_{LC}を介して伝達されるノイズによる電圧変動を抑制して、電源電圧が安定化されている。

【0046】電源回路6の出力端T3の電圧V₃が変動した場合を例に、図2に示した安定化回路62の動作を説明する。図1に示す出力端T3の電圧V₃が上昇した場合、すなわち、図2の出力電圧V_{out}が入力電圧V_{in}より高くなると、コンパレータCOPは出力電圧V_{out}と入力電圧V_{in}とを比較してローレベルの比較信号を出力する。ローレベルの比較信号はヒステリシス回路623を介して、P型ボルテージホロワーOPPに接続されたアナログスイッチ621に印加され、このアナログスイッチ621をオフする。

【0047】また、このローレベルの比較信号はインバータINV3を介して反転され、ハイレベルの比較信号としてN型ボルテージホロワーOPNに接続されたアナログスイッチ622に印加され、このアナログスイッチ622をオンする。

【0048】このため、N型ボルテージホロワーOPNが動作し、出力端T3の電圧V_{out}の電圧の上昇が抑えられて、入力電圧V_{in}と出力電圧V_{out}とが等しくなったときも、ヒステリシス回路623が設けてあるため、N型ボルテージホロワーOPNに接続されたアナログスイッチ622がオンし続ける。

【0049】出力端T3の電圧V₃が低下した場合、すなわち、図2の出力電圧V_{out}が入力電圧V_{in}より低くなると、コンパレータCOPは出力電圧V_{out}と入力電圧V_{in}とを比較してハイレベルの比較信号を出力する。ハイレベルの比較信号はヒステリシス回路623を介して、P型ボルテージホロワーOPPに接続されたアナログスイッチ621に印加され、このアナログスイッチ621をオンする。

【0050】また、このハイレベルの比較信号はインバータを介して反転され、ローレベルの比較信号としてN型ボルテージホロワーOPNに接続されたアナログスイッチ622に印加され、このアナログスイッチ622をオフする。

【0051】このため、P型ボルテージホロワーOPPが動作し、出力端T3の出力電圧V_{out}の低下をすばやく抑制する。出力端T3の出力電圧V_{out}の低下が抑え

られて、入力電圧V_{in}と出力電圧V_{out}とが等しくなったときも、ヒステリシス回路623が設けてあるため、P型ボルテージホロワーOPPに接続されたアナログスイッチ621がオンし続ける。

【0052】上述したように、この安定化回路62は、出力電圧の上昇に対する応答特性が速いN型ボルテージホロワーOPNと、出力電圧の低下に対する応答特性が速いP型ボルテージホロワーOPPとを分圧回路の分圧出力点に並列的に接続し、入力電圧V_{in}と出力電圧V_{out}とを比較して出力電圧V_{out}に電圧を上昇させるノイズが重畳した場合には、電圧の上昇に対して応答性に優れたN型ボルテージホロワーOPNを選択してその電圧上昇を瞬時に抑制して電圧の安定化が行われる。

【0053】また入力電圧V_{in}と出力電圧V_{out}とを比較して出力電圧V_{out}に電圧を低下させるノイズが重畳した場合には、電圧の低下に対して応答性に優れたP型ボルテージホロワーOPPを選択してその電圧低下を瞬時に抑制して電圧の安定化が行われる。

【0054】したがって、安定化回路62を用いることにより、従来の電源回路6に見られたような、所定の電圧値に対して電圧の高い方に重畳するひげ状のノイズと、電圧が低下する方向に重畳するひげ状のノイズのいずれに対しても瞬時に電圧変動が抑制され、安定化した出力電圧が得られる。

【0055】また、安定化回路62はヒステリシス回路623が設けてあるため、コンパレータCOPの出力のレベルが切り替わる付近の出力変化に対してアナログスイッチ621、622の切り換え動作を安定化することができる。

【0056】また、図1に示す電源回路6の出力端T2、T1にも、出力端T3に設けられている安定回路と同様の安定化回路62がそれぞれ設けられ、それぞれの出力電圧に重畳されるノイズが除去されている。

【0057】上述したように、本発明の安定化回路62は、P型ボルテージホロワーOPPと、N型ボルテージホロワーOPNと、これらを切り換えて動作させるアナログスイッチ621、622とにより構成されるものであり、大きな容量素子等を用いていない。このため、回路を小型に構成することができ、また従来の電源回路のように分圧回路の分圧抵抗を小さくしたり、あるいはボルテージホロワーを構成するオペアンプの定電流値を大きくする必要がないので、消費電流を低減することができる。

【0058】なお、この発明は、上記実施の形態に限定されず、種々の変形及び応用が可能である。例えば、この実施の形態では、電源回路の昇圧回路によって昇圧された電圧を、5つの電圧に分割した場合について述べたが、本発明の安定化回路62および電源回路6は、2、3、4、6、・・・、Nの電圧を分割出力する場合に適用することができる。また、上記実施の形態では、安定

化回路62に用いられるコンパレータCOPのマイナス入力に V_{out} 、プラス入力に V_{in} をそれぞれ入力したが、これに限ることなくマイナス入力に V_{in} 、プラス入力に V_{out} をそれぞれ入力し、2つのアナログスイッチに印加される切り替え信号を入れ替えるようにしても良い。

【0059】また、上記実施の形態では、P型ボルテージフォロアOPpの出力電圧とN型ボルテージフォロアOPnの出力電圧を適切に切り替えて出力することにより、出力電圧に重畳されるノイズを除去した。しかし、本発明の安定化回路62の構成は、相反する出力特性を有する2つの回路の出力電圧を適切に切り替えて出力することができるならば、上記実施の形態の構成に限定されず、任意に変更可能である。

【0060】また、上記実施の形態では、電圧安定化用のコンデンサを用いていないが、更なる安定化を図るためには、電源回路6の各出力端T0～T4と接地間にそれぞれ安定化コンデンサを接続するようにしても良い。

【0061】またさらに、この発明の安定化回路およびこの安定化回路を用いた電源回路は、液晶表示素子に限定されず、PDP（プラズマディスプレイ）、EL（エレクトロルミネッセンス）パネル、FED（フィールドエミッションディスプレイ）等を駆動するための駆動電圧を出力する電源回路として広く適用可能である。

【0062】

【発明の効果】以上説明したように、本発明の安定化回路および電源回路によれば、電源に重畳されるノイズを*

*除去して、安定した電圧が得られ、且つ消費電力が極めて少なくなる。

【図面の簡単な説明】

【図1】この発明の実施の形態にかかる電源回路の構成を示すブロック図である。

【図2】図1の電源回路に用いられる安定化回路の構成を示すブロック図である。

【図3】図2に示した安定化回路を構成するP型ボルテージホロワの回路図である。

10 【図4】図2に示した安定化回路を構成するN型ボルテージホロワの回路図である。

【図5】液晶表示装置の概略構成を示すブロック図である。

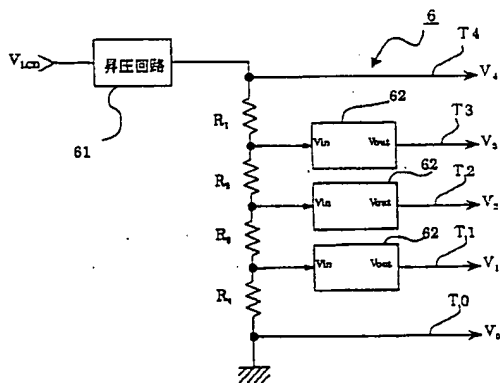
【図6】従来の電源回路を示す回路図である。

【図7】従来の電源回路を用いたときの、データ信号、および走査信号を示す信号波形図である。

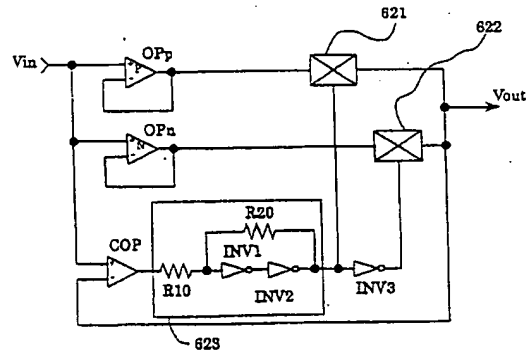
【符号の説明】

1…走査電極、2…信号電極、3…行ドライバ、4…列ドライバ、5…表示制御回路、6…電源回路、L C…液晶表示素子、61…昇圧回路、62…安定化回路、R1、R2、R3、R4…分圧抵抗、T0、T1、T2、T3、T4…出力端、OPp…P型ボルテージホロワ、OPn…N型ボルテージホロワ、621、622…アナログスイッチ、623…ヒステリシス回路、INV3…インバータ、Tp1～Tp5…P型トランジスタ、Tn1～Tn5…N型トランジスタ

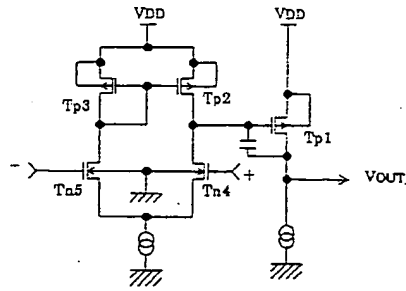
【図1】



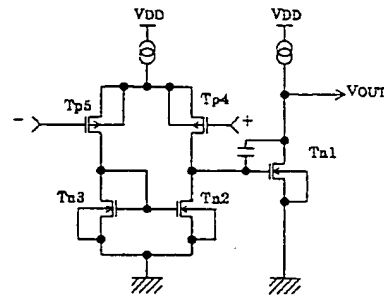
【図2】



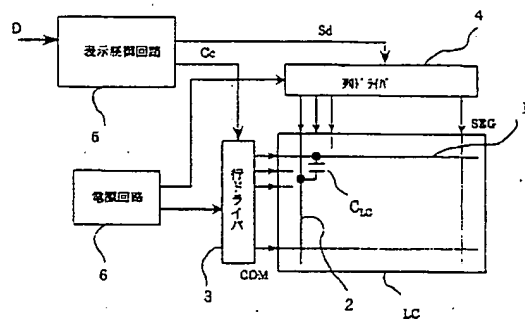
〔図3〕



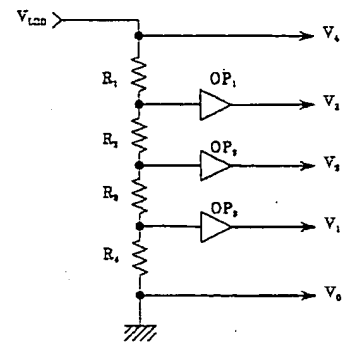
〔図4〕



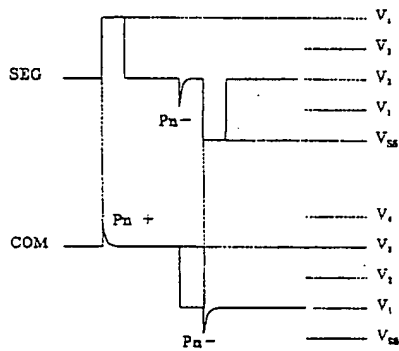
〔図5〕



〔図6〕



〔図7〕



*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] N type voltage HOROWA which uses an N channel field-effect transistor for an output stage, carries out impedance conversion of the supplied input voltage, and outputs it, P type voltage HOROWA which uses a P channel field-effect transistor for an output stage, carries out impedance conversion of said input voltage, and outputs it, The stabilization circuit characterized by having the comparator circuit which compares input voltage with output voltage and outputs a comparison signal, and the selection circuitry which changes alternatively the output of said N type voltage HOROWA and said P type voltage HOROWA, and outputs it with the comparison signal of said comparator circuit.

[Claim 2] Said comparator circuit is a stabilization circuit according to claim 1 characterized by a comparison signal having a hysteresis characteristic to the difference of said input voltage and output voltage.

[Claim 3] Said comparator circuit is a stabilization circuit according to claim 1 or 2 characterized by having the comparator which compares said input voltage and output voltage, and the hysteresis circuit where the output of this comparator is inputted.

[Claim 4] a stabilization circuit given in claim 1 thru/or any 1 term of 3, and the partial pressure circuit which divides the electrical potential difference supplied into two or more division electrical potential differences of a different value --

since -- the power circuit where it is constituted, and the input edge is connected to the outgoing end of at least one division electrical potential difference of said partial pressure circuit, and, as for said stabilization circuit, said division electrical potential difference is characterized by what is supplied as input voltage.

[Claim 5] Said stabilization circuit is a power circuit according to claim 4 characterized by what two or more electrical potential differences which have the electrical-potential-difference value from which it differs for forming the driving signal impressed to said display device in the drive circuit which drives a display device are supplied for.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a power circuit equipped with the stabilization circuit and stabilization circuit which stabilize and output the electrical potential difference supplied, and relates to a power circuit equipped with the stabilization circuit and stabilization circuit which stabilize an electrical potential difference and are especially outputted to a display drive circuit.

[0002]

[Description of the Prior Art] A dot-matrix indicating equipment is driven by supplying a scan signal and a data signal, respectively between the scan electrode arranged so that it may cross mutually, and a signal electrode, and impressing a predetermined electrical potential difference to inter-electrode [which counters]. A scan signal and a data signal are formed of a line driver and a train driver, respectively, and two or more supply voltage with the electrical-potential-difference value from which it differs for forming each signal is supplied to each of these drivers by the power circuit.

[0003] As an example of such a dot-matrix display, the liquid crystal display of a dot-matrix mold is shown in drawing 5 R> 5.

[0004] In drawing 5 , the liquid crystal display component LC to each inside which a liquid crystal layer is enclosed between the substrates of the pair which counters, and the substrate of said pair counters With the signal which two or more scan electrodes 1 and two or more signal electrodes 2 are formed so that it may cross mutually, and is impressed to these electrodes Electric field are impressed to the liquid crystal layer which intervenes between said scan electrodes 1 and signal electrodes 2, and the display drive of each pixel is carried out by controlling the orientation condition of liquid crystal by this electric field.

[0005] Two or more scan electrodes 1 of the liquid crystal display component LC and two or more signal electrodes 2 are connected to the line driver 3 and the train driver 4, respectively. The line driver 3 forms the scan signal COM which scans each scan electrode 1 of the liquid crystal display component LC according to the scan control signal Cc supplied from the display-control circuit 5, and supplies it to each scan electrode 1.

[0006] The train driver 4 forms the data signal SEG which controls lighting of each pixel of the liquid crystal display component LC according to the status signal Sd supplied from the display-control circuit 5, and supplies it to each signal electrode 2.

[0007] The display-control circuit 5 receives indicative-data D supplied from the

outside, generates a status signal Sd, supplies it to the train driver 4, and generates the scan control signal Cc and supplies it to the line driver 3.

[0008] The power circuit 6 which supplies two or more supply voltage to the line driver 3 and the train driver 4 consists of partial pressure circuits which generate two or more supply voltage which has the electrical-potential-difference value from which it differs for generating the scan signal COM and a data signal SEG from the electrical potential difference by which the pressure up was carried out in the booster circuit which carries out the pressure up of the electrical potential difference of a cell etc., and this booster circuit. As shown in drawing 6, a partial pressure circuit pressures supply voltage VLCD partially by the partial pressure resistance R1-R4, carries out impedance conversion through voltage followers OP1-OP3 from the node of each partial pressure resistance R1-R4, and outputs it as driver voltages V0-V4.

[0009] Voltage followers OP1-OP3 consist of an operational amplifier, and they are constituted so that fluctuation of the output voltage by fluctuation of the load connected to the output of each driver voltage may be prevented and the driver voltage of the stable electrical potential difference may be supplied.

[0010]

[Problem(s) to be Solved by the Invention] As for the display device of a dot-matrix mold, each pixel consists of fields in which the scan electrode 1 and a signal electrode 2 counter mutually, and since these scan electrodes 1 and signal electrodes 2 have the area which counters mutually, capacity coupling is carried out electrically.

[0011] Therefore, the data signal SEG with which the impression **** scan signal COM was impressed to the scan electrode 1 at the signal electrode 2 again at the data signal SEG will ride on the scan signal COM as a noise.

[0012] Since it is placed between the fields to which the scan electrode 1 and a signal electrode 2 counter by the liquid crystal layer with a big dielectric constant when using the liquid crystal display component LC as drawing 5 shows especially, between these scan electrodes 1 and signal electrodes 2 is combined

by the big capacity CLC. Therefore, change of the electrical potential difference of the scan signal COM which change of the electrical potential difference of the data signal SEG impressed to a signal electrode 2 is overlapped on the scan signal COM as spike noise Pn^- and Pn^+ as shown in drawing 7 , and is impressed to the scan electrode 1 is overlapped on a data signal SEG as spike noise Pn^+ .

[0013] These spike noise Pn^- and Pn^+ can be reduced by making the impedance of a power source small, and reduction of a noise is performed by forming the voltage followers OP1-OP3 as shown in drawing 6 .

[0014] However, the operational amplifier which constitutes a voltage follower has the operational amplifier of the P type drive which used the P-type semiconductor transistor for the output stage, and the operational amplifier of the N type drive which used the N-type semiconductor transistor for the output stage, and the response characteristics over the voltage variation which goes up to output voltage, respectively, and the falling voltage variation differ.

[0015] Therefore, although a polar noise can be reduced on the other hand about the signal of its that when supplying the scan signal COM and data signal SEG for impressing the electrical potential difference of reversed polarity mutually to each electrode and driving them in a liquid crystal layer like the driving signal of a liquid crystal display component at predetermined every period (one frame), the noise of an another side polarity cannot be lost. Consequently, there was a problem of a flicker of a display having occurred and reducing display quality by the noise mentioned above.

[0016] This invention was made in view of the above-mentioned actual condition, stabilizes the supply voltage for driving a display device, and aims at offering the stabilization circuit it was made to reduce the noise superimposed on a driving signal, and the power circuit using this stabilization circuit.

[0017]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the stabilization circuit concerning the 1st viewpoint of this invention N type

voltage HOROWA which uses an N channel field-effect transistor for an output stage, carries out impedance conversion of the supplied input voltage, and outputs it, P type voltage HOROWA which uses a P channel field-effect transistor for an output stage, carries out impedance conversion of said input voltage, and outputs it, It is characterized by having the comparator circuit which compares input voltage with output voltage and outputs a comparison signal, and the selection circuitry which changes alternatively the output of said N type voltage HOROWA and said P type voltage HOROWA, and outputs it with the comparison signal of said comparator circuit.

[0018] According to this configuration, since N type voltage HOROWA and P type voltage HOROWA are switched according to fluctuation of output voltage and it was made to operate them, the noise on which supply voltage is overlapped can be reduced certainly.

[0019] As for said comparator circuit, in this stabilization circuit, it is desirable for a comparison signal to have a hysteresis characteristic to the difference of said input voltage and output voltage.

[0020] Moreover, as for said comparator circuit, it is desirable to consist of hysteresis circuits where the output of the comparator which compares said input voltage and output voltage, and this comparator is inputted.

[0021] Actuation of N type voltage HOROWA and P type voltage HOROWA can be stabilized by this configuration.

[0022] moreover, the stabilization circuit which the power circuit concerning the 2nd viewpoint of this invention requires for the 1st viewpoint of this invention and the partial pressure circuit which divides the electrical potential difference supplied into two or more division electrical potential differences of a different value -- since -- it is constituted, and that input edge is connected to the outgoing end of at least one division electrical potential difference of said partial pressure circuit, and said stabilization circuit is characterized by what said division electrical potential difference is supplied for as input voltage.

[0023] In addition, said stabilization circuit may supply two or more electrical

potential differences which have the electrical-potential-difference value from which it differs for forming the driving signal impressed to said display device in the drive circuit which drives a display device.

[0024] According to the above-mentioned configuration, the power source of the line driver which needs two or more electrical-potential-difference values like the drive circuit of a display device, and a train driver can be stabilized, and a noise can be reduced. Moreover, a noise can be effectively reduced by using as a power circuit which supplies driver voltage to the drive circuit of the display device which has big capacity coupling.

[0025]

[Embodiment of the Invention] With reference to a drawing, it explains by making into an example the case where the power circuit concerning the gestalt of operation of this invention is hereafter applied to the liquid crystal display component driven by four driver voltages.

[0026] The liquid crystal display concerning the gestalt of operation of this invention consists of the liquid crystal display component LC, the line driver 3, a train driver 4, a display-control circuit 5, and a power circuit 6 like drawing 5 mentioned above.

[0027] The liquid crystal display component LC is equipped with the 1st substrate and the 2nd substrate which have been arranged face to face, two or more scan electrodes 1 arranged at the line writing direction at the 1st substrate, two or more signal electrodes 2 arranged in the direction of a train at the 2nd substrate, and the liquid crystal by which the closure was carried out among both substrates, and the point that two or more scan electrodes 1 and two or more signal electrodes 2 cross mutually forms each pixel.

[0028] It connects with the scan electrode 1 of the liquid crystal display component LC, and the line driver 3 carries out sequential impression of the scan signal COM generated by choosing according to the scan control signal Cc supplied from the display-control circuit 5 from two or more supply voltage supplied from a power circuit 6 at the scan electrode 1.

[0029] It connects with the signal electrode 2 of the liquid crystal display component LC, and the train driver 4 generates a data signal SEG according to the status signal Sd supplied from the display-control circuit 5 from two or more supply voltage supplied from a power circuit 6, and impresses it to a signal electrode 2 according to the scan timing of the scan signal COM.

[0030] The display-control circuit 5 supplies the scan control signal Cc for outputting the scan signal COM to the line driver 3, and controls actuation of these line drivers 3 and the train driver 4 while it receives indicative-data D supplied from the outside and supplies a status signal Sd to the train driver 4.

[0031] The booster circuit 61 which carries out a pressure up to electrical potential difference with a sufficient power circuit 6 to drive a display device for low electrical potential differences, such as a cell, as shown in drawing 1 , Two or more partial pressure resistance R1, R2, R3, and R4 by which series connection was carried out in order to divide into two or more electrical potential differences this high electrical potential difference by which the pressure up was carried out, It consists of stabilization circuits 62 connected at each node of the partial pressure resistance R1, R2 and R2, and R3, R3 and R4, respectively, and the electrical potential difference in which the partial pressure was carried out by the partial pressure resistance R1-R4 is stabilized by the stabilization circuit 62, and is outputted.

[0032] P type voltage HOROWA OPp which carries out impedance conversion of the input voltage Vin which the stabilization circuit 62 used the P channel field-effect transistor for the output stage as shown in drawing 2 , and was supplied to the input edge, and outputs it, The analog switch 621 connected to the outgoing end of this P type voltage HOROWA OPp, and the serial, N type voltage HOROWA OPn which uses an N channel field-effect transistor for an output stage, carries out impedance conversion of the input voltage Vin, and outputs it, The analog switch 622 by which the series connection was carried out to the outgoing end of this N type voltage HOROWA OPn, It consists of an inverter INV3 for supplying the selection signal which reversed the comparison signal

from the comparator circuit which outputs the comparison signal which compared input voltage V_{in} with the output voltage V_{out} of a power circuit 6, and had a hysteresis characteristic, and a comparator circuit to an analog switch 622.

[0033] P type voltage HOROWA OPp, the series-connection circuit of an analog switch 621, and N type voltage HOROWA OPn and the series-connection circuit of an analog switch 622 are connected in juxtaposition between the input edge of a stabilization circuit 62, and the outgoing end.

[0034] The comparator circuit consists of a hysteresis circuit 623 where the output of the comparator COP by which the plus input edge was connected to the input edge of a stabilization circuit 62, and the minus input edge was connected to the outgoing end of a power circuit 6, and this comparator COP was connected.

[0035] The hysteresis circuit 623 consists of resistance R20 connected between I/O of input resistance R10, two inverters INV1 and INV2 by which the series connection was carried out, and these two inverters INV1 and INV2 by which the series connection was carried out, and outputs the selection signal which had a hysteresis characteristic to change of the difference of two electrical potential differences inputted into Comparator COP.

[0036] The selection signal from the hysteresis circuit 623 is impressed, and a selection circuitry is constituted by the 1st analog switch 621 connected to P type voltage HOROWA OPp, and the 2nd analog switch 622 which the output of the hysteresis circuit 623 minded inverter INV3, was impressed, and was connected to N type voltage HOROWA OPn. With the selection signal given from the hysteresis circuit 623, one of analog circuits turns on among the 1st analog switch 621 and the 2nd analog switch 622, and the analog circuit of another side turns off.

[0037] Therefore, according to the selection signal outputted through the hysteresis circuit 623 from a comparator circuit, this selection circuitry changes alternatively the output of P type voltage HOROWA OPp, and the output of N type voltage HOROWA OPn, and supplies them to the outgoing end of a power

circuit 6.

[0038] Two P type transistors Tp2 and Tp3 and two N type transistors Tn4 and Tn5 consist of an operational amplifier of an N type drive connected between the touch-down potential VGND and the power-source potential VDD, and an output transistor Tp1 of P type, and P type voltage HOROWA OPp is excellent in the responsibility which amends the electrical potential difference changed in the touch-down potential VGND direction (sag) to the power-source potential VDD, as shown in drawing 3 .

[0039] Two N type transistors Tn2 and Tn3 and two P type transistors Tn4 and Tn5 consist of an operational amplifier of a P type drive connected between the touch-down potential VGND and the power-source potential VDD, and an output transistor Tn1 of N type, and N type voltage HOROWA OPn is excellent in the responsibility which amends the electrical potential difference changed in the power-source potential VDD direction (power surge) to the touch-down potential VGND, as shown in drawing 4 .

[0040] Next, actuation of the power circuit 6 constituted in this way is explained. The liquid crystal display is constituted like the liquid crystal display of the dot-matrix mold shown in drawing 5 , and the display-control circuit 5 receives indicative-data D supplied from the outside, generates a status signal Sd and the scan control signal Cc, and supplies each signal to the train driver 4 and the line driver 3.

[0041] The train driver 4 chooses two or more supply voltage supplied from a power circuit 6 according to a status signal Sd, generates a data signal SEG, and supplies it to each signal electrode 2 of the liquid crystal display component LC. The line driver 3 receives the scan control signal Cc from the display-control circuit 5, chooses it in the sequence which defined beforehand two or more supply voltage supplied from a power circuit 6, generates the scan signal COM for making sequential selection of each scan electrode 1, and impresses it to each scan electrode 1.

[0042] According to the scan signal COM impressed to the scan electrode 1 from

the line driver 3, and the data signal SEG impressed to a signal electrode 2 from the train driver 4, the matrix drive of each pixel which the scan electrode 1 and a signal electrode 2 intersect is carried out.

[0043] As shown in drawing 1, after the pressure up of the power circuit 6 is carried out to the predetermined electrical potential difference VLCD by the booster circuit 61, it is divided by the partial pressure resistance R1, R2, R3, and R4, and outputs five division electrical potential differences of electrical potential differences V1, V2, V3, and V4 including the touch-down electrical potential difference V0 from an outgoing end T0 - T four. The stabilization circuit 62 is established in the outgoing ends T1 and T2 of the division electrical potential differences V1, V2, and V3, and T3, respectively.

[0044] By matrix drive, electrical-potential-difference change of the signal impressed to the signal electrode 2 It is impressed by the scan electrode 1 through the liquid crystal capacity CLC of each pixel formed on both sides of a liquid crystal layer. Moreover, change of the signal impressed to the scan electrode 1 is impressed to a signal electrode 2 through the liquid crystal capacity CLC of each pixel formed on both sides of a liquid crystal layer, and the electrical potential difference of each outgoing end of a power circuit 6 is fluctuated through the train driver 4 and the line driver 3.

[0045] Among each outgoing end T0 of a power circuit 6 - T four, since the electrical potential difference V4 of outgoing end T four is the output voltage of a booster circuit 61, electrical-potential-difference stabilization is performed by this booster circuit 61, and voltage variation is stopped. The stabilization circuit 62 is established in outgoing ends T1 and T2 and T3, the voltage variation by the noise transmitted by this stabilization circuit 62 through the liquid crystal capacity CLC is controlled, and supply voltage is stabilized.

[0046] Actuation of the stabilization circuit 62 which showed the case where the electrical potential difference V3 of outgoing end T3 of a power circuit 6 was changed to the example at drawing 2 is explained. If the output voltage Vout of drawing 2 becomes higher than input voltage Vin when the electrical potential

difference V3 of outgoing end T3 shown in drawing 1 rises namely, Comparator COP will compare output voltage Vout with input voltage Vin, and will output the comparison signal of a low level. The comparison signal of a low level is impressed to the analog switch 621 connected to P type voltage HOROWA OPp through the hysteresis circuit 623, and turns off this analog SWITCHI 621.

[0047] Moreover, it is reversed through an inverter INV3, and the comparison signal of this low level is impressed to the analog switch 622 connected to N type voltage HOROWA OPn as a high-level comparison signal, and turns on this analog switch 622.

[0048] For this reason, N type voltage HOROWA OPn operates and the rise of the electrical potential difference of the electrical potential difference Vout of outgoing end T3 is controlled quickly. Since the hysteresis circuit 623 is formed also when the rise of the electrical potential difference of the electrical potential difference Vout of outgoing end T3 is suppressed and input voltage Vin and output voltage Vout become equal, the analog switch 622 connected to N type voltage HOROWA OPn continues turning on.

[0049] If the output voltage Vout of drawing 2 becomes lower than input voltage Vin when the electrical potential difference V3 of outgoing end T3 falls namely, Comparator COP will compare output voltage Vout with input voltage Vin, and will output a high-level comparison signal. A high-level comparison signal is impressed to the analog switch 621 connected to P type voltage HOROWA OPp through the hysteresis circuit 623, and turns on this analog SWITCHI 621.

[0050] Moreover, it is reversed through an inverter, and this high-level comparison signal is impressed to the analog switch 622 connected to N type voltage HOROWA OPn as a comparison signal of a low level, and turns off this analog SWITCHI 622.

[0051] For this reason, P type voltage HOROWA OPp operates and the fall of the output voltage Vout of outgoing end T3 is controlled quickly. Since the hysteresis circuit 623 is formed also when the fall of the output voltage Vout of outgoing end T3 is suppressed and input voltage Vin and output voltage Vout become equal,

the analog switch 621 connected to P type voltage HOROWA OPp continues turning on.

[0052] N type voltage HOROWA OPn with a response characteristic [as opposed to the rise of output voltage in this stabilization circuit 62] quick as mentioned above, P type voltage HOROWA OPp with the quick response characteristic over the fall of output voltage is connected to the point of a partial pressure circuit outputting [partial pressure] in juxtaposition. When the noise which input voltage V_{in} is compared [noise] with output voltage V_{out} , and raises an electrical potential difference to output voltage V_{out} is overlapped, N type voltage HOROWA OPn which was excellent in responsibility to the rise of an electrical potential difference is chosen, the power surge is controlled in an instant, and stabilization of an electrical potential difference is performed.

[0053] Moreover, when the noise which input voltage V_{in} is compared [noise] with output voltage V_{out} , and reduces an electrical potential difference to output voltage V_{out} is overlapped, P type voltage HOROWA OPp which was excellent in responsibility to the fall of an electrical potential difference is chosen, the sag is controlled in an instant, and stabilization of an electrical potential difference is performed.

[0054] Therefore, by using a stabilization circuit 62, voltage variation is controlled in an instant also to any of the noise of the shape of a mustache superimposed on the one where an electrical potential difference is higher to a predetermined electrical-potential-difference value which was seen in the conventional power circuit 6, and the noise of the shape of a mustache superimposed in the direction to which an electrical potential difference falls, and the stable output voltage is obtained.

[0055] Moreover, since the hysteresis circuit 623 is formed, a stabilization circuit 62 can stabilize switch actuation of an analog switch 621,622 to output change of the neighborhood where the level of the output of Comparator COP changes.

[0056] Moreover, the stabilization circuit established in outgoing end T3 and the same stabilization circuit 62 are established also in the outgoing ends T2 and T1

of the power circuit 6 shown in drawing 1 , respectively, and the noise on which it is superimposed at each output voltage is removed.

[0057] As mentioned above, the stabilization circuit 62 of this invention is not constituted by P type voltage HOROWA OPp, N type voltage HOROWA OPn, and the analog switch 621,622 that these are switched [analog switch] and operates them, and the big capacitative element etc. is not used for it. For this reason, since it is not necessary to make small partial pressure resistance of a partial pressure circuit like the conventional power circuit, or to enlarge the constant current value of the operational amplifier which can constitute a circuit small and constitutes voltage HOROWA, the consumed electric current can be reduced.

[0058] In addition, this invention is not limited to the gestalt of the above-mentioned implementation, but various deformation and application are possible for it. For example, although the gestalt of this operation described the case where the electrical potential difference by which the pressure up was carried out in the booster circuit of a power circuit was divided into five electrical potential differences, the stabilization circuit 62 and power circuit 6 of this invention can be applied when carrying out the split output of the electrical potential difference of 2, 3, 4, 6, ..., N. Moreover, although Vout was inputted into the minus input of the comparator COP used for a stabilization circuit 62 and Vin was inputted into the plus input with the gestalt of the above-mentioned implementation, respectively, Vin is inputted into a minus input, Vout is inputted into a plus input, respectively, without restricting to this, and the change signal impressed to two analog switches may be made to change.

[0059] Moreover, with the gestalt of the above-mentioned implementation, the noise on which output voltage is overlapped was removed by changing appropriately the output voltage of the P type voltage follower OPp, and the output voltage of the N type voltage follower OPn, and outputting them. However, if the configuration of the stabilization circuit 62 of this invention can change appropriately the output voltage of two circuits which have opposite output

characteristics and can output it, it is not limited to the configuration of the gestalt of the above-mentioned implementation, but can be changed into arbitration.

[0060] Moreover, in order to attain further stabilization, you may make it connect a stabilization capacitor with each outgoing end T0 of a power circuit 6 - T four between touch-down with the gestalt of the above-mentioned implementation, respectively, although the capacitor for electrical-potential-difference stabilization is not used.

[0061] Furthermore, the stabilization circuit of this invention and the power circuit using this stabilization circuit are not limited to a liquid crystal display component, but can be applied widely as a power circuit which outputs the driver voltage for driving PDP (plasma display), the EL (electroluminescence) panel, FED (field emission display), etc.

[0062]

[Effect of the Invention] As explained above, according to the stabilization circuit and power circuit of this invention, the noise on which a power source is overlapped is removed, and the stable electrical potential difference is obtained, and power consumption decreases extremely.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the power circuit concerning the gestalt of implementation of this invention.

[Drawing 2] It is the block diagram showing the configuration of the stabilization circuit used for the power circuit of drawing 1 .

[Drawing 3] It is the circuit diagram of P type voltage HOROWA which constitutes the stabilization circuit shown in drawing 2 .

[Drawing 4] It is the circuit diagram of N type voltage HOROWA which constitutes the stabilization circuit shown in drawing 2 .

[Drawing 5] It is the block diagram showing the outline configuration of a liquid crystal display.

[Drawing 6] It is the circuit diagram showing the conventional power circuit.

[Drawing 7] It is the signal waveform diagram showing the data signal and scan signal when using the conventional power circuit.

[Description of Notations]

1 [... Train driver,] ... A scan electrode, 2 ... A signal electrode, 3 ... A line driver, 4 5 ... A display-control circuit, 6 ... A power circuit, LC ... Liquid crystal display component, 61 ... A booster circuit, 62 ... A stabilization circuit, R1, R2, R3, R4 ... Partial pressure resistance, T0, T1, T2, T3, T four ... An outgoing end, OPp ... P type voltage HOROWA, OPn [... An inverter, Tp1-Tp5 / ... A P type transistor, Tn1-Tn5 / ... N type transistor] ... N type voltage HOROWA, 621,622 ... An analog switch, 623 ... A hysteresis circuit, INV3

[Translation done.]

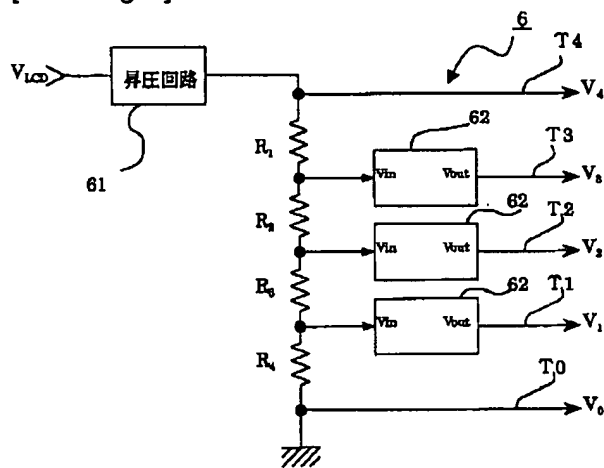
* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

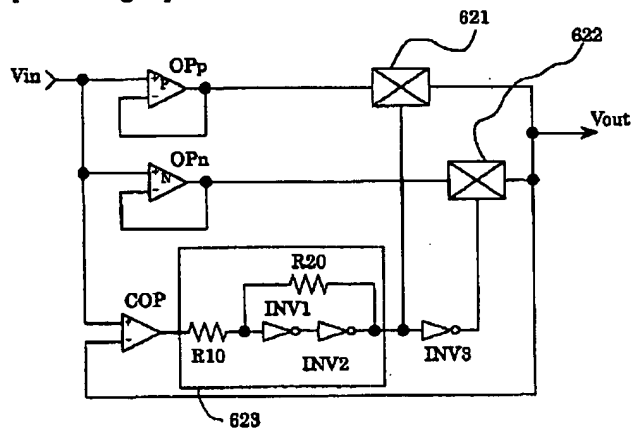
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

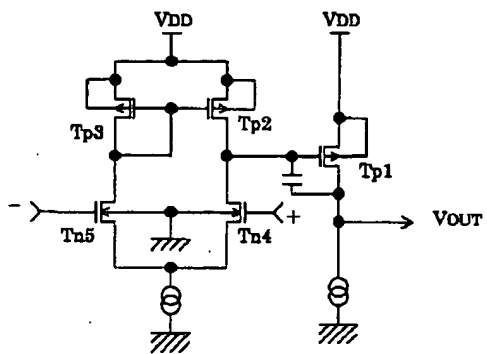
[Drawing 1]



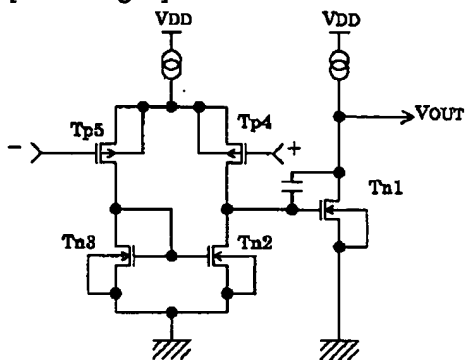
[Drawing 2]



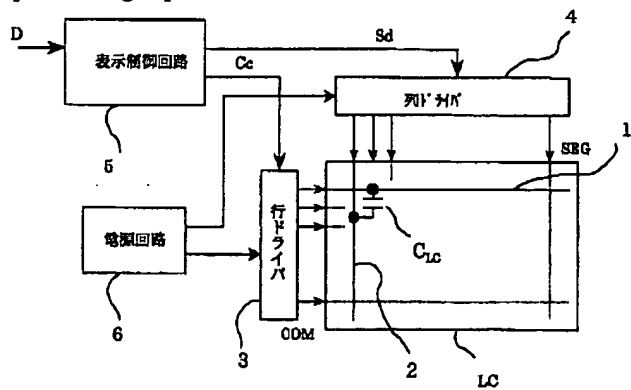
[Drawing 3]



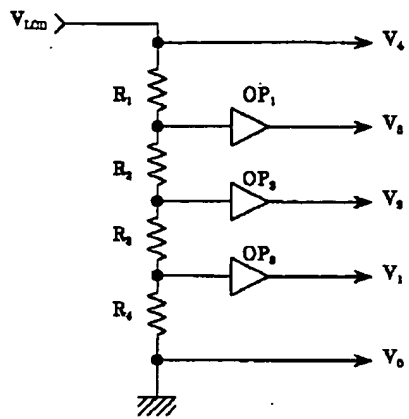
[Drawing 4]



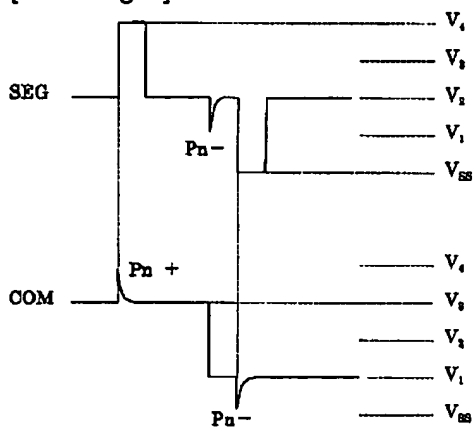
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]